



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Off nlegungsschrift**  
⑩ **DE 198 44 145 A 1**

⑤ Int. Cl. 7:  
**G 06 K 9/52**  
H 01 L 27/08  
G 06 K 9/28  
H 01 L 23/62

⑲ Aktenzeichen: 198 44 145.2  
⑳ Anmeldetag: 25. 9. 1998  
㉑ Offenlegungstag: 5. 1. 2000

DE 198 44 145 A 1

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑪ Anmelder:  
Siemens AG, 80333 München, DE

⑫ Erfinder:  
Basse, Paul-Werner v., 82515 Wolfratshausen, DE;  
Willer, Josef, Dr., 85521 Riernierling, DE

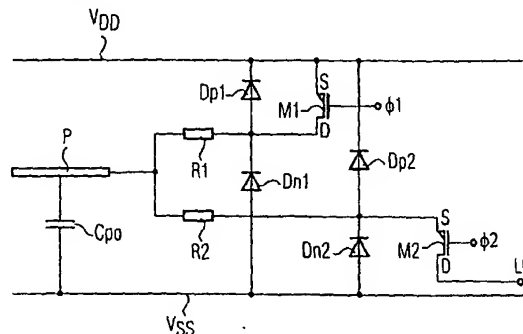
⑤⑥ Entgegenhaltungen:  
US 43 53 056 A  
EP 03 71 663 B1  
JP 57-63861 A2, Pat. Abstr. of Japan, Vol.6, No.  
140, (E-121);

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Kapazitätslade- und Entladeschaltung mit Überspannungsschutz

⑤⑦ Es ist eine Kapazitätslade- und Entladeschaltung vorgesehen, die einen Überspannungsschutz aufweist, wobei eine hierfür vorgesehene Diode gleichzeitig Drain-Gebiet des Lade- bzw. Entladetransistors ist.



DE 198 44 145 A 1

Die Erfindung betrifft eine Kapazitätslade- und Entladeschaltung mit Überspannungsschutz. Für die Ermittlung des Wertes sehr kleiner Kapazitäten ist es üblich, diese Kapazität aufzuladen und wieder zu entladen und aus diesem Vorgang auf den Wert der Kapazität zu schließen. Beim Fingerprint-Sensor nach dem kapazitiven Meßprinzip handelt es sich um eine Anordnung einer Vielzahl von Einzelkapazitäten, deren Wert sich nicht nur dadurch verändert, daß ein Finger vorhanden ist, sondern der auch dadurch beeinflusst ist, ob an einer Stelle des Fingers, unter der eine betreffende Kapazität liegt, eine Minute vorhanden ist oder nicht. Um eine ausreichende Auflösung über die Größe eines Fingerdruckes zu erhalten, muß der Finger in eine Vielzahl von Punkten aufgelöst werden, so daß eine große Anzahl von Einzelkondensatoren notwendig sind, die eine entsprechend kleine Fläche aufweisen. Jeder Einzelkondensator weist somit einen Wert in der Größenordnung von Femtoferad auf. Damit die Verarbeitungsgeschwindigkeit eines solchen Fingerabdruck-Sensors möglichst optimal gestaltet ist, sollte jede Einzelkapazität eine Kapazitätsmeßvorrichtung aufweisen, die als Lade- bzw. Entladeschaltung leicht realisierbar ist.

Aus der US 4,353,056 ist die Anordnung einer Kapazitätsmatrix auf einem Halbleiterchip beschrieben, wie er für einen Fingerprint-Sensor geeignet ist.

Um den tatsächlichen Wert der Kapazität zu messen, und nicht die Zuleitungskapazitäten, darf die zuvor erwähnte Meßschaltung nicht über Leitungen an die einzelne Kapazität herangeführt werden. Dies hat zur Folge, daß die Meßschaltung zusammen mit dem Fingerprint-Sensor auf einem Halbleiterchip räumlich dicht beieinanderliegend integriert wird.

Eine solche Integration kann in der bekannten üblichen MOS-Technologie erfolgen. Bauelemente, die in einer solchen MOS-Technologie hergestellt sind, sind jedoch sehr anfällig gegen Überspannungen. MOS-Bauelemente, die für den Einsatz in normalen Schaltungen vorgesehen sind, werden zum Transport beispielsweise auf speziellen Matten oder Transportgefäßen angeordnet, damit die Einzelanschlüsse untereinander elektrisch verbunden sind, um zu verhindern, daß sich beim Transport durch Aufladung eine Überspannung an einem der Außenanschlüsse aufbauen kann. Zur Montage wiederum müssen entsprechende Vorkehrungen getroffen werden, damit auch das Fertigungspersonal beispielsweise beim Berühren vor dem Einbau nicht unbewußt eine Schädigung des Bauelementes hervorruft. In der Regel ist die Gefahr der Überspannung durch Aufladung nach dem Einbau in einer Schaltung beseitigt.

Bei Meßsensoren, wie beim Fingerprint-Sensor beispielsweise, besteht jedoch die Gefahr, daß die Person bzw. der Finger der abgetastet werden soll, aufgeladen ist. Es ist somit notwendig, eine Überspannungsschutzschaltung vorzusehen. Eine derartige bekannte Schaltung, ist in Fig. 4 dargestellt. Hierbei ist am Anschluß Pin, der den Außenanschluß eines beliebigen Bauteiles darstellt, im Bezug zu zwei Betriebspotentialen VDD und VSS dargestellt. Die beiden Dioden D1 und D2 fangen den ersten "Spannungsschock" ab, da sie direkt zwischen dem Eingang Pin und den Versorgungsspannungen VDD bzw. VSS angeschlossen sind. Durch einen Spannungsteiler aus dem Widerstand R und Dioden D3 und D4 werden gefährliche Spannungen von der Schaltung ferngehalten.

Eine derartige Schaltung benötigt, auch bei höchster Integration, da sie für jeden Pixel vorzusehen ist, einen bemerkbaren Platz, der wiederum der Forderung nach möglichst vielen Pixeln bzw. Bildpunkten widerspricht.

Daher ist es Aufgabe der Erfindung, eine Kapazitätslade- und Entladeschaltung mit Überspannungsschutz vorzusehen, die möglichst platzsparend integrierbar ist.

Diese Aufgabe wird erfindungsgemäß mit den im Patentanspruch 1 angegebenen Maßnahmen gelöst. Dadurch, daß gemäß der angegebenen Schaltungsanordnung sowohl für den Lade- als auch für den Umlade-Transistor jeweils eine Diode zum Überspannungsschutz benutzt wird, die integraler Teil des betreffenden Transistors ist, wird bei dieser Schaltung zumindest für diese Diode jeweils kein zusätzlicher Platz benötigt, so daß diese Anordnung sehr flächensparend integrierbar ist.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den untergeordneten Ansprüchen angegeben. Dadurch, daß sowohl der Lade- als auch der Entladetransistor als p-Kanal-Feldeffekttransistor ausgebildet ist, ist die Anordnung insgesamt mit sehr einfachen Mitteln realisierbar.

Weiterhin wird durch die Ausbildung des Widerstandes zwischen der Kapazität und dem einen Drain/Source-Gebiet des Feldeffekttransistors ein Spannungsteiler erzeugt, der die nachfolgenden Schaltungsteile vor einer dauerhaften Überspannung schützt.

Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnung anhand eines Ausführungsbeispiels näher erläutert.

Es zeigen:

Fig. 1 eine erfindungsgemäße Schaltungsanordnung,

Fig. 2 die technologische Realisierung wesentlicher Elemente der in Fig. 1 dargestellten Anordnung,

Fig. 3 eine einzelne Zelle eines kapazitiven Fingerprint-Sensors mit der erfindungsgemäßen Schaltungsanordnung und

Fig. 4 eine bekannte Überspannungsschutzschaltung.

In Fig. 1 ist eine erfindungsgemäße Kapazitätslade-/Entladeschaltung mit Überspannungsschutz dargestellt. Ein einzelnes Element P stellt eine Elektrode einer Kapazität CPO dar, die mit ihrer zweiten Elektrode am Potential VSS einer Versorgungsspannung angeschlossen ist. Das Element P wiederum ist über Widerstände R1 und R2 jeweils mit dem Drainanschluß des Ladetransistors M1 und Sourceanschluß des Umladetransistors M2 verbunden. Die zuvor genannten Transistoren M1 bzw. M2 sind Feldeffekttransistoren, wobei der Feldeffekttransistor M1 mit seinem Sourceanschluß am Potential VDD der Betriebsspannung und der Transistor M2 mit seinem Drainanschluß am Potential LL angeschlossen sind.

Das Gate der beiden Feldeffekttransistoren M1 bzw. M2 sind mit Anschlüssen  $\Phi 1$  bzw.  $\Phi 2$  zum Ansteuern dieser beiden Transistoren verbunden. Am Knotenpunkt zwischen dem Widerstand R1 und dem Drainanschluß des Transistors M1 ist eine Diode Dp1 mit ihrer Anode angeschlossen, deren Kathode, wiederum am Potential VDD angeschlossen ist. Am selben Knotenpunkt ist eine Diode Dn1 mit ihrer Kathode angeschlossen, wobei die Anode der Diode Dn1 am Potential VSS angeschlossen ist. Entsprechend sind Dioden Dp2 und Dn2 am Knotenpunkt zwischen dem Widerstand R2 und dem Sourceanschluß des Transistors M2 angeschlossen.

Die Funktion der in Fig. 1 dargestellten Schaltung ist nunmehr folgende. Gemäß einer Ansteuerung über  $\Phi 1$  und  $\Phi 2$  werden die beiden Feldeffekttransistoren abwechselnd so angesteuert, daß über den Transistor M1 die Kapazität des Elementes P auf das Potential VDD aufgeladen und mittels M2 auf das Potential LL umgeladen wird. Die Dioden Dp1, Dn1, Dp2 und Dn2 führen nunmehr Spannungen ab, die außerhalb der Betriebsspannung liegen und über die Widerstände R1 bzw. R2 den Dioden zugeführt werden.

Gemäß Fig. 2 ist ein Ausschnitt dargestellt, wie diese

Schaltungsanordnung möglichst platzsparend integriert wird. Hierzu wird der Transistor M1 als Beispiel verwendet. Dargestellt ist hierbei ein n<sup>-</sup>-Gebiet, in das ein p<sup>+</sup>-Gebiet als Source-Gebiet S und als Drain-Gebiet D eingebracht sind. Zwischen diesen beiden Gebieten ist jeweils ein dem Fachmann bekannter, üblicher p-Kanal-Feldeffekttransistor ausgebildet, der über ein Gate-Gebiet G angeschlossen ist. Neben dem Source-Gebiet S ist in das n<sup>-</sup>-Gebiet an der Oberfläche ein n<sup>+</sup>-Gebiet eingebracht. Beide sind zusammen mit einer Leiterbahn verbunden, die an dem Potential VDD liegt. Neben dem n<sup>-</sup>-Gebiet ist in einer p-leitenden Umgebung an der Oberfläche ein n-Gebiet eingebracht, das wiederum über eine Leiterbahn mit dem Drain-Gebiet verbunden ist. Dieses n-Gebiet in der p-leitenden Umgebung stellt eine Diode dar, die wiederum gemäß Fig. 1 die Diode Dn1 darstellt. Das p<sup>+</sup>-leitende Drain-Gebiet stellt wiederum gegenüber dem n<sup>-</sup>-Gebiet durch den hier vorhandenen pn-Übergang eine Diode dar, die wiederum die Diode Dp1 in Fig. 1 realisiert, da das n<sup>-</sup>-Gebiet über das n<sup>+</sup>-Gebiet an der Oberfläche des n<sup>-</sup>-Gebiets mit dem Potential VDD verbunden ist.

Da das n<sup>+</sup>-Gebiet sowieso vorgesehen werden muß, um die Kanalzone des n<sup>-</sup>-Gebiets zwischen dem Source-Gebiet und dem Drain-Gebiet so vorzuspannen, daß ein p-Kanal-Feldeffekttransistor vorliegt, ist mit dieser Schaltung ein Überspannungsschutz realisiert, wobei die Diode Dp1 nicht zusätzlich erzeugt werden muß. In analoger Weise läßt sich auch die Diode Dp2 als integraler Bestandteil des Feldeffekttransistors M2 realisieren.

Die Verwirklichung dieser Schaltungsanordnung als Teil eines Pixels eines Fingerprint-Sensors ist in Fig. 3 dargestellt. Hierbei wird, im zentralen Teil mit Pixel bezeichnet, in einem p<sup>-</sup>-Gebiet mit dem wesentlichen Flächenanteil eine Kapazität gebildet. In der rechten unteren Ecke ist in dieser Layout-Darstellung der Transistor M1 dargestellt, wobei am unteren Rand die Leitung mit dem Potential VDD herangeführt ist, und mit G1 dargestellt, am rechten Rand, die Leitung des Gate-Anschlusses  $\Phi 1$  herangeführt ist, die dann in eine Richtung parallel zur VDD-führenden Leitung abgewinkelt ist. Am Punkt Dp1 ist gleichzeitig das Drain-Gebiet und die Diode Dp1 ausgebildet. Von diesem Punkt aus geht parallel zur VDD-führenden Leitung eine Leitung ab, die im p<sup>-</sup>-Gebiet endet, wo die Diode Dn1 ausgebildet ist. Von dieser Leitung wiederum geht eine Widerstandsleitung R1 ab, die den Widerstand R1 darstellt und im Gebiet Pixel mit der oberen Elektrode des hier flächig ausgebildeten Kondensators verbunden ist. In gleicher Weise ist diagonal gegenüber dem Transistor M1 ein Feldeffekttransistor M2 ausgebildet, wobei hier der Drain-Anschluß mit der das Potential LL führenden Leitung verbunden ist, und das n<sup>-</sup>-Gebiet dieses Transistors separat mit der das Potential VDD führenden Leitung vom unteren Rand kommenden Leitung verbunden ist. Das p<sup>+</sup>-Gebiet, das ebenfalls eine Elektrode der Kapazität des mit Pixel bezeichneten Gebietes darstellt, und in dem die beiden Dioden Dn1 und Dn2 liegen, ist wiederum über eine Leitung mit der das Potential VSS führenden Leitung am oberen Rand verbunden. Somit sind die Dioden der zuvor beschriebenen Schaltungsanordnung mit im Layout minimierten Flächenbedarf entwickelt.

Die zuvor beschriebene Schaltungsanordnung läßt sich selbstverständlich in analoger Form ebenfalls mit n-Kanal-Feldeffekttransistoren als Lade- bzw. Umladetransistoren ausbilden, wobei in einem solchen Fall die Polaritäten umzukehren sind und die zuvor beschriebenen Gebiete umgekehrte Leitfähigkeiten aufweisen.

#### Patentansprüche

1. Kapazitätslade- und Entladeschaltung mit Überspannungsschutz, mit einer von einem ersten Feldeffekttransistor (M1) auf ein erstes Potential (VDD) aufladbaren und einem zweiten Feldeffekttransistor (M2) auf ein zweites Potential (LL) umladbaren Kapazität (CPO), bei der zwischen einem der Drain-/Sourceanschlüsse des zumindest einen der Transistoren eine Diode in Sperrichtung mit dem ersten Potential (VDD) verbunden ist und diese Diode (Dp1; Dp2) durch das Dotierungsgebiet des Drain-/Sourcegebietes des zumindest einen Feldeffekttransistors mit dem dieses Gebiet umgebenden Gebietes gebildet ist.
2. Schaltung nach Anspruch 1, wobei beide Transistoren p-Kanal-Feldeffekttransistoren sind.
3. Schaltung nach Anspruch 1 oder 2, wobei zwischen der Kapazität und dem einen Drain-/Source-Gebiet des Feldeffekttransistors (M1; M2) jeweils ein Widerstand ausgebildet ist.

---

Hierzu 2 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1

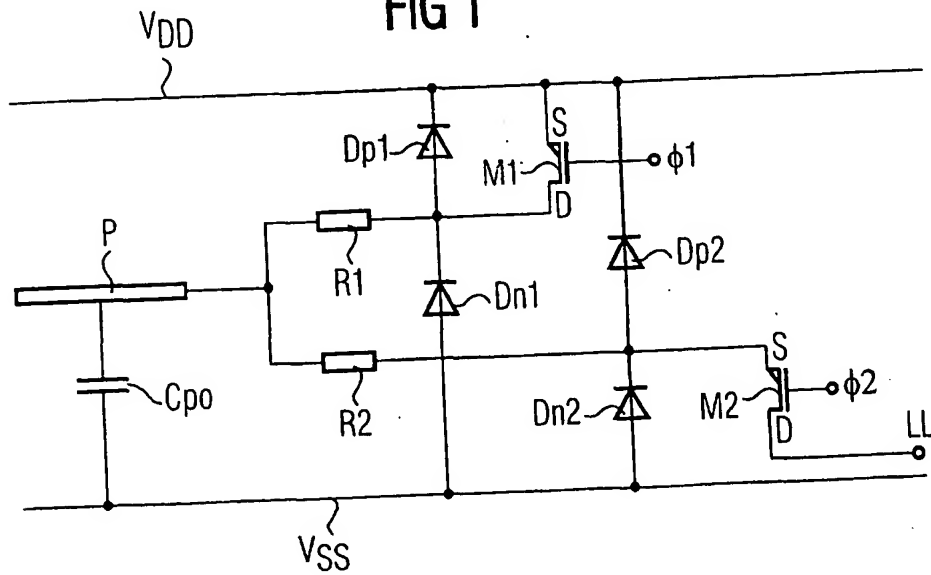


FIG 2

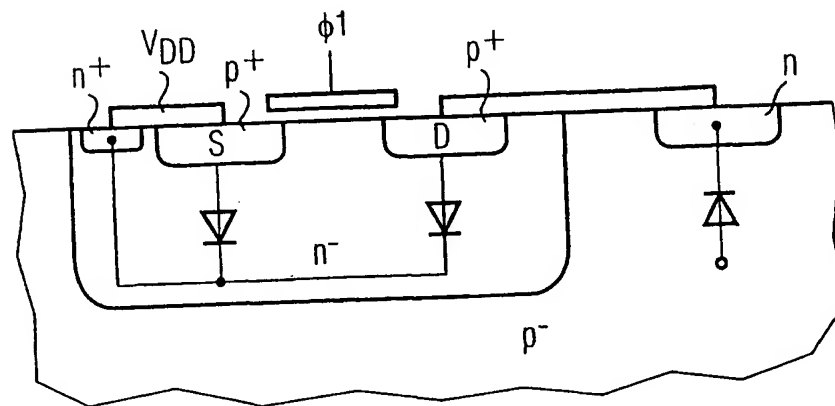


FIG 3

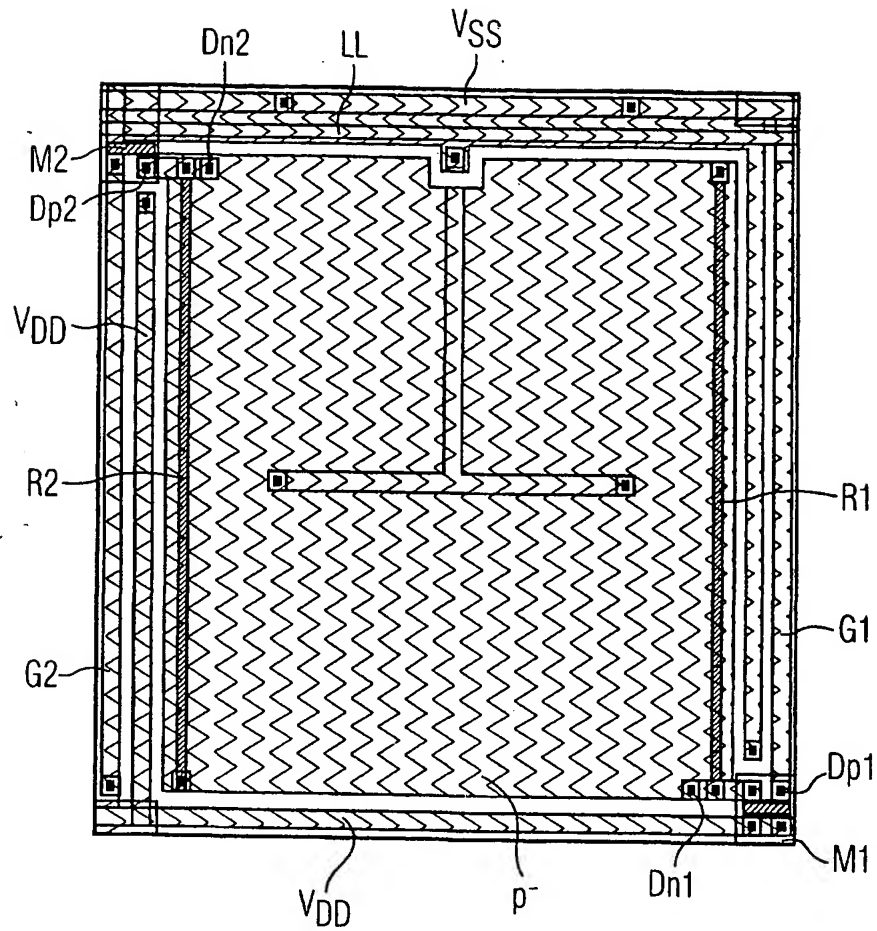


FIG 4

